

DATA RECORDER

Patent Number: JP6309800
 Publication date: 1994-11-04
 Inventor(s): TAGAMI NARIAKI; others: 01
 Applicant(s): SONY CORP
 Requested Patent: ☐ JP6309800
 Application Number: JP19930113653 19930417
 Priority Number(s):
 IPC Classification: G11B20/10
 EC Classification:
 Equivalents:

Abstract

PURPOSE: To generate the recording data of plural channels with a simple circuit configuration by subjecting data distributed in channels in accordance with the number of recording heads to time-division multiplexing and coding processing or the like.

CONSTITUTION: Variable length encoded data in a variable length encoding circuit 16, are distributed into two channels in accordance with the number, for instance 4, of heads by a channel distributor 12 to be signals S7A, S7B and time-division-multiplexed by a parallel-series conversion circuit 1 and processed by each one unit of an outer code forming circuit 52, a sharing circuit 3, a scramble circuit 55 performing a coding procession. Further, the data are made to be signals S11A, S11B by a series-parallel conversion circuit 6 and become recording signals for four pieces of heads S12A1 and S12A2, S12B1 and S12B2 by being processed respectively with modulators 21A, 21B. Thus, recording data of plural channels are generated with a simple circuit configuration.

Data supplied from the esp@cenet database - 12

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-309800

(43)公開日 平成6年(1994)11月4日

(51)Int.Cl.⁵

G 1 1 B 20/10

識別記号

3 4 1 Z 7736-5D

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 5 F D (全 15 頁)

(21)出願番号 特願平5-113653

(22)出願日 平成5年(1993)4月17日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 田上 就章

東京都品川区北品川6丁目7番35号ソニー株式会社内

(72)発明者 上田 衛

東京都品川区北品川6丁目7番35号ソニー株式会社内

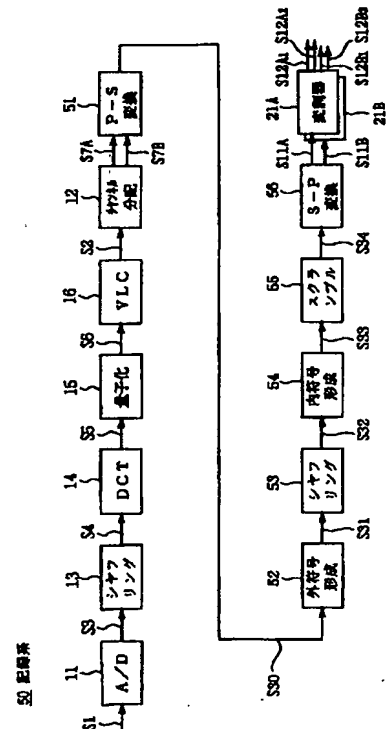
(74)代理人 弁理士 田辺 恵基

(54)【発明の名称】 データ記録装置

(57)【要約】

【目的】簡易な回路構成により複数チャネルの記録データを形成することができるデータ記録装置を提案する。

【構成】記録ヘッドの個数又は記録ヘッドの搭載位置に応じて複数のチャネルにチャネル分配されたデータを時分割多重し、当該時分割多重されてなるデータをコーディング回路によつてコーディング処理するようにしたことにより、簡易な回路構成により複数チャネルの記録データを形成することができる。



【特許請求の範囲】

【請求項 1】 回転ドラム上に搭載された複数の記録ヘッドによつてテープ状の記録媒体の長手方向に対して順次斜め方向に記録データを記録するデータ記録装置において、

上記記録ヘッドの個数又は上記記録ヘッドの搭載位置に応じて複数のチャンネルにチャンネル分配されたデータを時分割多重し、当該時分割多重されてなるデータをコーディング回路によつてコーディング処理した後、上記複数の記録ヘッドに供給して上記記録媒体に記録するようにしたことを特徴とするデータ記録装置。

【請求項 2】 上記複数チャンネルのデータ又は上記時分割多重されてなるデータは所定の位相差が設けられたことを特徴とする請求項 1 に記載のデータ記録装置。

【請求項 3】 上記コーディング回路はスクランブル回路であり、上記時分割多重されてなるデータに対して所定のランダム符号データを加算するようにしたことを特徴とする請求項 1 に記載のデータ記録装置。

【請求項 4】 上記スクランブル回路は、第 1、第 2、第 3、第 4、第 5、第 6、第 7 及び第 8 のシフトレジスタが順次直列接続され、

上記第 1～第 8 のシフトレジスタは、それぞれ上記チャンネル数に応じた数のフリップフロップが直列接続され、

上記第 4 及び第 8 のシフトレジスタの出力を第 1 の排他的論理和回路に送出し、上記第 3 のシフトレジスタの出力及び上記第 1 の排他的論理和回路の出力を第 2 の排他的論理和回路に送出し、上記第 2 のシフトレジスタの出力及び上記第 2 の排他的論理和回路の出力を第 3 の排他的論理和回路に送出すると共に、当該第 3 の排他的論理和回路の出力を上記第 1 のシフトレジスタに送出することにより、上記第 8 のシフトレジスタから順次出力される時分割多重された上記チャンネル数分のランダム符号データを、上記時分割多重されてなるデータに加算するようにしたことを特徴とする請求項 3 に記載のデータ記録装置。

【請求項 5】 上記スクランブル回路は、予め M 系列のランダム符号データが記憶され、入力データに応じた上記ランダム符号データを出力する記憶手段を有し、

上記記憶手段の後段に、8 個のフリップフロップが並列接続されてなる並列入力並列出力形のシフトレジスタを上記チャンネル数分直列接続すると共に、上記シフトレジスタのうち最後段のシフトレジスタの出力を上記記憶手段に入力することにより、上記最後段のシフトレジスタから順次出力される時分割多重された上記チャンネル数分のランダム符号データを、上記時分割多重されてなるデータに加算するようにしたことを特徴とする請求項 3 に記載のデータ記録装置。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

産業上の利用分野

従来の技術（図 5～図 10）

発明が解決しようとする課題（図 5～図 7、図 9 及び図 10）

課題を解決するための手段（図 1、図 2 及び図 4）

作用（図 1、図 2 及び図 4）

実施例（図 1～図 4）

発明の効果

【0002】

【産業上の利用分野】 本発明はデータ記録装置に関し、特に回転ドラムに搭載された複数の記録ヘッドによつてテープ状記録媒体に記録データを記録するデータ記録装置に適用して好適なものである。

【0003】

【従来の技術】 従来、この種のデータ記録装置として、例えばデジタルビデオテープレコーダ（DVTR）がある。DVTRにおいては、高ビットレートの映像データを、図 6 に示すように、回転ドラム 1 上に搭載された複数の記録ヘッド 2、3、4 及び 5 によつて、当該回転ドラム 1 に巻回された記録テープ 6 上に記録し、これにより全体的な記録レートを確保した状態で 1 つの記録ヘッド当りの記録レートを下げることができるようになされている。

【0004】 ここで記録ヘッド 2 及び 4、又は記録ヘッド 3 及び 5 はそれぞれ対向した位置に配置されている。これに対して隣接した記録ヘッド 2 及び 3、又は記録ヘッド 4 及び 5 はそれぞれ中心角 θ [°] 分ずれた位置に配置されている。これにより DVTR においては、図 7 に示すように、矢印 I の方向に走行する記録テープ 6 の長手方向に対して順次斜め方向 J 方向に記録ヘッド 2～5 が走査することにより記録トラック TR 1、TR 2、TR 3、TR 4、TR 5、TR 6、……を形成するようになされている。

【0005】 ここで記録トラック TR 1、TR 2、TR 3 及び TR 4 はそれぞれ記録ヘッド 2、3、4 及び 5 によつて順次形成される。この結果記録トラック TR 1 及び TR 2 は隣接する記録ヘッド 2 及び 3 によつてほぼ同時に記録されるが、当該記録ヘッド 2 及び 3 の取付角度差 θ [°] に対応した時間 τ だけずれて記録される。これと同様に記録トラック TR 3 及び TR 4 は隣接する記録ヘッド 4 及び 5 によつてほぼ同時に記録されるが、当該記録ヘッド 4 及び 5 の取付角度差 θ [°] に対応した時間 τ だけずれて記録される。

【0006】 このように DVTR においては、隣接する記録ヘッド間に取付角度差 θ [°] に応じた記録時間差 τ が生じる。この結果 DVTR においては、記録信号を複数のチャンネルに分割し、当該チャンネル間に記録時間差 τ に応じた所定の位相差を設けた後、これを各記録

ヘッドに供給するようになされている。

【0007】すなわちDVTRの記録系10は、図7に示すように、入力するアナログビデオ信号S1をアナログデジタル変換回路11を介してチャンネル分配器12に送出する。チャンネル分配器12はアナログデジタル変換回路11から出力されるデジタルビデオ信号S2をデジタル信号S3A及びS3Bに分配し、これにより高レートのデジタルビデオ信号S2を低レートのデジタル信号S3A及びS3Bの2チャンネルに分配するようになされている。

【0008】DVTRの記録系10はこのデジタル信号S3A及びS3Bをそれぞれシャフリング回路13A及び13Bによつてシャフリング処理し、このシャフリングデータS4A及びS4Bを続くDCT変換回路14A及び14Bに送出する。DCT変換回路14A及び14Bは各DCTブロックのデータに対して離散コサイン変換を施し、これをDCTデータS5A及びS5Bとして続く量子化回路15A及び15Bに送出する。

【0009】量子化回路15A及び15Bは可変長符号化回路16A及び16Bからフィードバックされたデータ長情報に基づいて目標圧縮率を実現するための量子化レベルを調べ、当該量子化レベルに基づいてDCTデータS5A及びS5Bを量子化することによつてその情報を圧縮し、これを量子化データS6A及びS6Bとして続く可変長符号化回路16A及び16Bに送出する。

【0010】可変長符号化回路16A及び16Bは量子化データS6A及びS6Bを可変長符号化して、フォーマットに定められたブロック長の可変長符号データS7A及びS7Bを生成し、これを外符号形成回路17A及び17Bに送出する。外符号形成回路17A及び17Bは可変長符号データS7A及びS7Bにバースト誤り訂正符号を付加する。

【0011】DVTRの記録系10は外符号形成回路17A及び17Bの出力データS8A及びS8Bをシャフリング回路18A及び18Bによつてシャフリング処理した後、内符号形成回路19A及び19Bによつてランダム誤り訂正符号を付加し、このデータS10A及びS10Bを続くチャンネルコーディング回路20A及び20Bに送出する。チャンネルコーディング回路20A及び20Bはランダム誤り訂正符号が付加されたデータS10A及びS10Bを磁気記録再生し易いデータに符号化して、これをチャンネルコーディングデータS11A及びS11Bとして続く変調器21A及び21Bに送出する。

【0012】すなわち、チャンネルコーディング回路20A及び20Bは入力データS10A及びS10Bに対してスクランブルDNR変換、NRZI変換、8-10変換又はミラー変換等を施して、入力データS10A及びS10Bの低周波成分を抑制するようになされている。変調器21A及び21Bはチャンネルコーディング

データS11A及びS11Bを磁気テープ6に記録し易い符号に変換し、これを記録データS12A₁、S12A₂、S12B₁及びS12B₂としてそれぞれ各記録ヘッド2、4、3及び5に送出する。

【0013】このようにDVTRの記録系10においては、チャンネル分配器12によつて1チャンネルのデータを2チャンネルのデータ（以下データS3A、S4A、S5A、S6A、S7A、S8A、S9A、S10A、S11A、S12A₁及びS12A₂をAチャンネルデータ、データS3B、S4B、S5B、S6B、S7B、S8B、S9B、S10B、S11B、S12B₁及びS12B₂をBチャンネルデータと呼ぶ）に分配して、各チャンネルデータを独立に処理するようになされている。

【0014】ここでAチャンネルデータ及びBチャンネルデータはシャフリング回路13A及び13B、又はシャフリング回路18A及び18Bによつてシャフリング処理される際メモリからの読出し時間がずらされ、この結果各チャンネルデータ間には記録時間差 τ に応じた位相差を形成するようになされている。

【0015】これによりAチャンネルデータの記録データ12A₁及び12A₂を対向する記録ヘッド2及び4に供給すると共にBチャンネルデータの記録データ12B₁及び12B₂を対向する記録ヘッド3及び5に供給することにより、隣接する記録ヘッド2及び3、又は4及び5には記録時間差 τ に応じた位相差を有する記録データ12A₁及び12B₁、又は12A₂及び12B₂が供給されるようになされている。

【0016】またDVTRの記録系10においては、チャンネルコーディング回路20A及び20Bとして比較的簡易な回路構成で実現できかつ特性の良いスクランブル回路が用いられている。ここでAチャンネルデータ用のスクランブル回路22Aは、図8に示すように、外符号形成回路17A、シャフリング回路18A及び内符号形成回路19Aでなる誤り訂正符号器23Aによつて誤り訂正符号が付加されたデータS10Aに、スクランブル信号発生回路24Aで発生したランダム符号データS20Aを加算するようになされ、これにより符号化されたデータS11Aは変調器21A及びロータリトランス26Aを介して記録データ12A₁及び12A₂に変換されてAチャンネルデータ記録用の記録ヘッド2及び4によつて磁気テープ6に記録されるようになされている。

【0017】また再生ヘッド27によつて再生された再生データはロータリトランス28及び復調器29を介してスクランブル回路30に送出され、この再生データにスクランブル信号発生回路31で発生したランダム符号データを加算することにより複合化し、続く誤り訂正複合器33で誤り訂正を施して出力するようになされている。

【0018】スクランブル信号発生回路24Aとしては、原始多項式 $G(x)$ が、次式、

$$G(x) = x^8 + x^4 + x^3 + x^2 + 1$$

で表わすことができるシリアル型のスクランブル信号発生回路がある。このスクランブル信号発生回路24Aは、図9に示すように、それぞれ直列接続されたDフリップフロップ $D_0 \sim D_7$ 、及び当該Dフリップフロップ $D_0 \sim D_7$ の帰還ループに接続された排他的論理和ゲート35～37により構成され、各フリップフロップ $D_0 \sim D_7$ は所定の時点で入力されるリセット信号 S_{rs} に基づいてリセット動作するようになされている。

【0019】この結果スクランブル信号発生回路24AはM系列(maximum period sequence)のランダム符号データS20Aを発生するようになされている。これによりスクランブル回路22Aにおいては、排他的論理和ゲート25Aにおいて入力データS10Aとランダム符号データS20Aとの排他的論理和をとり、これをスクランブルデータS11Aとして出力するようになされている。

【0020】これに対して、図10に示すように、8クロック分のM系列のランダム符号データが予め計算して記憶されたROM(Read Only Memory)38の後段に8個のDフリップフロップ $D_0 \sim D_7$ がそれぞれ並列接続されたパラレル型のスクランブル回路42Aがある。

【0021】このスクランブル回路42Aは各フリップフロップ $D_0 \sim D_7$ に保持したランダム符号データS20Aをクロック毎に排他的論理和ゲート25Aに送出すると共にROM38に送出し、このように各フリップフロップ $D_0 \sim D_7$ は予めROM38に記憶された8ビットのランダム符号データS20Aを順次出力し得るようになされている。

【0022】この結果パラレル型のスクランブル信号発生回路42Aにおいては、1クロック毎に8ビット分の処理ができることにより処理速度を低減し得るようになされている。すなわちパラレル型のスクランブル回路42Aは、図11に示すように、時点 t_0 においてリセット信号 S_{rs} が立ち下がると、順次入力される8ビット単位の入力データ $A_{00}, A_{01}, A_{02}, \dots$ とフリップフロップ $D_0 \sim D_7$ によつて順次出力される8ビット単位のランダム符号データ $A_{r0}, A_{r1}, A_{r2}, \dots$ との排他的論理和をとつて、符号列の変化の大きいスクランブルデータ $A_{k0}, A_{k1}, A_{k2}, \dots$ を形成するようになされている。

【0023】

【発明が解決しようとする課題】このようにDVTRにおいては隣接する記録ヘッド2及び3、又は4及び5の取付角度差 θ 〔°〕に基づいて、記録ヘッド2及び3、又は4及び5の間に記録時間差 τ が発生し、このためDVTRの記録系10においては入力するビデオ信号S2をチャンネル分配器12によつて2チャンネル(記録ヘ

【数1】

……(1)

ッドの数によつてはそれ以上)に分配して各チャンネル毎に信号処理を行うようになされている。

【0024】従つて記録系10においては、シヤフリング回路13A及び13B、DCT変換回路14A及び14B、量子化回路15A及び15B、可変長符号化回路16A及び16B、外符号形成回路17A及び17B、シヤフリング回路18A及び18B、内符号形成回路19A及び19B、チャンネルコーディング回路20A及び20B及び変調器21A及び21Bがそれぞれ2個ずつ必要となり、全体としての回路規模が大きくなる問題がある。

【0025】これと同様に、チャンネルコーディング回路20Aとして図10又は図11について上述したスクランブル回路22A又は42Aを適用した場合においても、さらにBチャンネルデータ用のスクランブル回路が必要となり、この分回路規模が大きくなると共に消費電力も大きくなる問題がある。

【0026】特にパラレル型のスクランブル回路42Aにおいては、ROM38が多数の排他的論理和ゲートによつて構成されていることにより、このようなスクランブル回路42Aを複数個設けた場合には回路規模が非常に大きくなる問題がある。

【0027】本発明は以上の点を考慮してなされたもので、比較的簡易な回路構成により複数チャンネルの記録データを形成することができるデータ記録装置を提案しようとするものである。

【0028】

【課題を解決するための手段】かかる課題を解決するため本発明においては、回転ドラム1上に搭載された複数の記録ヘッド2～5によつてテープ状の記録媒体6の長手方向に対して順次斜め方向に記録データS12A₁、S12A₂、S12B₁、S12B₂を記録するデータ記録装置50において、記録ヘッド2～5の個数又は記録ヘッド2～5の搭載位置に応じて複数のチャンネルにチャンネル分配されたデータS3A及びS3Bを時分割多重し、時分割多重されてなるデータS33をコーディング回路55によつてコーディング処理した後、複数の記録ヘッド2～5に供給して記録媒体6に記録するようにする。

【0029】また本発明においては、複数チャンネルのデータS7A、S7B又は時分割多重されてなるデータS33は所定の位相差 τ が設けられるようにする。

【0030】また本発明においては、コーディング回路55はスクランブル回路55又は65でなり、時分割多重されてなるデータS33に対して所定のランダム符号データS35を加算するようにする。

【0031】また本発明においては、スクランブル回路

55は、第1、第2、第3、第4、第5、第6、第7及び第8のシフトレジスタSR0～SR7が順次直列接続され、第1～第8のシフトレジスタSR0～SR7は、それぞれチャンネル数に応じた数のフリップフロップD_{0,1}及びD_{0,2}、D_{1,1}及びD_{1,2}、D_{2,1}及びD_{2,2}、D_{3,1}及びD_{3,2}、D_{4,1}及びD_{4,2}、D_{5,1}及びD_{5,2}、D_{6,1}及びD_{6,2}、D_{7,1}及びD_{7,2}が直列接続され、第4及び第8のシフトレジスタSR3及びSR7の出力を第1の排他的論理和回路60に送出し、第3のシフトレジスタSR2の出力及び第1の排他的論理和回路60の出力を第2の排他的論理和回路61に送出し、第2のシフトレジスタSR1の出力及び第2の排他的論理和回路61の出力を第3の排他的論理和回路62に送出すると共に、第3の排他的論理和回路62の出力を第1のシフトレジスタSR0に送出することにより、第8のシフトレジスタSR7から順次出力される時分割多重されたチャンネル数分のランダム符号データS35を、時分割多重されてなるデータS33に加算するようにする。

【0032】さらに本発明においては、スクランブル回路65は、予めM系列のランダム符号データが記憶され、入力データに応じたランダム符号データを出力する記憶手段66を有し、記憶手段66の後段に、8個のフリップフロップD₀～D₇又はD₈～D₁₅が並列接続されてなる並列入力並列出力形のシフトレジスタ67又は68をチャンネル数分直列接続すると共に、シフトレジスタ67又は68のうち最後段のシフトレジスタ68の出力を記憶手段66に入力することにより、最後段のシフトレジスタ68から順次出力される時間多重されたチャンネル数分のランダム符号データS35を、時分割多重されてなるデータS33に加算するようにする。

【0033】

【作用】記録ヘッド2～5の個数又は記録ヘッド2～5の搭載位置に応じて複数のチャンネルに分配されたデータS3A及びS3Bを時分割多重し、時分割多重されてなるデータS33をコーディング回路55によつてコーディング処理するようにすれば、1つのコーディング回路55によつてコーディング処理を行うことができ、かくして比較的簡易な回路構成により複数チャンネルの記録データS12A₁、S12A₂及びS12B₁、S12B₂を形成することができる。

【0034】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0035】(1) 第1実施例

図7との対応部分に同一符号を付して示す図1において、50は全体としてデジタルビデオテープレコーダ(DVTR)の記録系を示し、位相差のある2チャンネルの記録データS12A₁及びS12A₂と記録データS12B₁及びS12B₂とを形成し得るようになされている。

【0036】記録系50は可変長符号化回路16A及び16Bから出力される可変長符号データS7A及びS7Bをパラレルシリアル変換回路51に送出する。パラレルシリアル変換回路51は2チャンネルの可変長符号データS7A及びS7Bを時分割多重することにより1チャンネルのシリアルデータS30として出力するようになされている。

【0037】この結果続く外符号形成回路52、シヤフリング回路53、内符号形成回路54及びスクランブル回路55はこの時分割多重されてなる1チャンネルのデータをそれぞれ1個の回路によつて処理するようになされている。

【0038】これによりDVTRの記録系50においては、外符号形成回路52、シヤフリング回路53、内符号形成回路54及びスクランブル回路55の回路数を従来の半分に低減できるようになされている。

【0039】ここでパラレルシリアル変換回路51によつて時分割多重されてなるシリアルデータS30は、外符号形成回路52によつて外符号パリティを付加され、続くシヤフリング回路53のメモリに書き込まれる。シヤフリング回路53のメモリに書き込まれたデータS31はメモリから読み出される際、時分割多重された各チャンネル間において書込時間差τ(図6)に応じた分だけ位相がずらされて続く内符号形成回路54に送出される。

【0040】内符号形成回路54はシヤフリングデータS32に対して内符号パリティを付加し、これをスクランブル回路55に送出する。スクランブル回路55は内符号が付加されたデータS33にM系列のランダム符号データを付加し、これを続くシリアルパラレル変換回路56に送出する。シリアルパラレル変換回路56は時分割多重されてなる1チャンネルのスクランブルデータS34を2チャンネルのパラレルデータS11A及びS11Bに分割し、これを続く変調器21A及び21Bに送出するようになされている。

【0041】ここでシリアルパラレル変換回路56によつて分割されてなるパラレルデータS11A及びS11Bは、シヤフリング回路53のメモリからの読出し時において形成された位相差を有する。変調器21A及び21Bは位相差があるパラレルデータS11A及びS11Bを変調し、記録データS12A₁及びS12A₂をそれぞれ対向する記録ヘッド2及び3(図5)に供給すると共に、記録データS12B₁及びS12B₂を記録ヘッド2及び3に対して書込時間差τを有する記録ヘッド4及び5(図5)に供給するようになされている。

【0042】ここでスクランブル回路55は、図2に示すように、2段のDフリップフロップD_{0,1}及びD_{0,2}、D_{1,1}及びD_{1,2}、D_{2,1}及びD_{2,2}、D_{3,1}及びD_{3,2}、D_{4,1}及びD_{4,2}、D_{5,1}及びD_{5,2}、D_{6,1}及びD_{6,2}、D_{7,1}及びD_{7,2}がそれぞれ直列接続されてなる第1、第2、第3、第4、第

5、第6、第7及び第8のシフトレジスタSR0、SR1、SR2、SR3、SR4、SR5、SR6及びSR7が直列接続されている。

【0043】また各シフトレジスタSR0～SR7の前段のフリップフロップD_{0,1}、D_{1,1}、D_{2,1}、D_{3,1}、D_{4,1}、D_{5,1}、D_{6,1}及びD_{7,1}にはリセット信号S_{1,8,18}が入力されると共に、後段のフリップフロップD_{0,2}、D_{1,2}、D_{2,2}、D_{3,2}、D_{4,2}、D_{5,2}、D_{6,2}及びD_{7,2}にはリセット信号S_{1,8,18}が入力される。またスクランブル回路55の帰還ループには第1、第2及び第3の排他的論理和ゲート60、61及び62が従続接続され、当該第1の排他的論理和ゲート60は第8のシフトレジスタSR7の出力と第4のシフトレジスタSR3の出力との排他的論理和をとり、これを第2の排他的論理和回路61に出力する。

【0044】第2の排他的論理和ゲート61は第1の排他的論理和ゲートの出力と第3のシフトレジスタSR2の出力との排他的論理和をとり、これを第3の排他的論理和ゲート62に出力する。第3の排他的論理和ゲート62は第2の排他的論理和ゲート61の出力と第2のシフトレジスタSR1の出力との排他的論理和をとって第1のシフトレジスタSR0に出力するようになされている。

【0045】これによりスクランブル回路55においては、第8のシフトレジスタSR7から原始多項式が

(1) 式で示されるM系列のランダム符号データS35を出力し得るようになされている。ここでランダム符号データS35は2つのM系列ランダム符号データが時分割多重されてなり、かくしてスクランブル回路55においては1つの回路で2チャンネルのランダム符号データS35を発生し得るようになされている。

【0046】この結果スクランブル回路55においては、排他的論理和ゲート63において時分割多重される入力データS33に時分割多重されたランダム符号データS35を付加し、これを時分割多重された1チャンネルのスクランブルデータS34として出力し得るようになされている。

【0047】すなわちスクランブル回路55は、図3(C)に示すように、AチャンネルデータA_{0,0}、A_{0,1}、A_{0,2}、……及びBチャンネルデータB_{0,0}、B_{0,1}、B_{0,2}、……が時分割多重されてなる入力データS33に応じて、図3(F)に示すように、Aチャンネルデータ用ランダム符号データA_{1,8,1}、A_{1,8,2}、……及びBチャンネルデータ用ランダム符号データB_{1,8,1}、B_{1,8,2}、……を順次交互に発生する。

【0048】ここでスクランブル回路55におけるAチャンネルデータ用ランダム符号データA_{1,8,1}、A_{1,8,2}、……の形成動作に着目すると、スクランブル回路55はAチャンネルデータA_{0,0}、A_{0,1}、A_{0,2}、……の先頭のデータA₀が入力されると、この時点t₁において論理値が「1」から「0」に立ち下がるリセット信号S

{1,8,18}を各シフトレジスタSR0～SR7の後段のフリップフロップD{0,2}、D_{1,2}、D_{2,2}、……、D_{7,2}に入力する。

【0049】この結果フリップフロップD_{0,2}、D_{1,2}、D_{2,2}、……、D_{7,2}に初期値がセットされると、その値に基づいて排他的論理和ゲート60～62において計算された値がフリップフロップD_{0,1}に保持されると同時にフリップフロップD_{0,2}、D_{1,2}、D_{2,2}、……、D_{6,2}の値がそれぞれフリップフロップD_{1,1}、D_{2,1}、D_{3,1}、……、D_{7,1}に保持される。この演算により最後段のフリップフロップD_{7,2}からはM系列のランダム符号データA_{1,8,1} (図3(F))が出力され、このデータA_{1,8,1}が排他的論理和ゲート63においてAチャンネルデータの先頭のデータA₀に加算されてスクランブルデータA_{1,0} (図3(G))が得られる。

【0050】スクランブル回路55は時点t₂で次のクロック信号が入力されると、前時点t₁でフリップフロップD_{0,1}、D_{1,1}、D_{2,1}、……、D_{7,1}に保持した値を単純に右シフトしてフリップフロップD_{0,2}、D_{1,2}、D_{2,2}、……、D_{7,2}に入力する。

【0051】スクランブル回路55は時点t₃で次のクロック信号が入力されると、前時点t₂でフリップフロップD_{0,2}、D_{1,2}、D_{2,2}、……、D_{6,2}に保持した値を右シフトしてフリップフロップD_{1,1}、D_{2,1}、D_{3,1}、……、D_{7,1}に入力する。このときスクランブル回路55は前時点t₂においてフリップフロップD_{7,2}に保持した値をランダム符号データA_{1,8} (図3(F))として出力すると共に、フリップフロップD_{1,2}、D_{2,2}、D_{3,2}及びD_{7,2}に保持したデータに基づいて排他的論理和ゲート60～62において計算された値がフリップフロップD_{0,1}に保持される。

【0052】このようにスクランブル回路55は1クロック毎に演算シフト及び単純シフトを繰り返すことにより1クロックおきにM系列のAチャンネルデータ用ランダム符号データA_{1,8,1}、A_{1,8,2}、……を出力するようになされている。

【0053】またスクランブル回路55におけるBチャンネルデータ用ランダム符号データB_{1,8,1}、B_{1,8,2}、……の形成動作に着目すると、スクランブル回路55はBチャンネルデータB_{0,0}、B_{0,1}、B_{0,2}、……の先頭のデータB_{0,0}が入力されると、この時点t₄において論理値が「1」から「0」に立ち下がるリセット信号S_{1,8,18}を各シフトレジスタSR0～SR7の前段のフリップフロップD_{0,1}、D_{1,1}、D_{2,1}、……、D_{7,1}に入力する。スクランブル回路55は、この後順次クロック信号が入力されると、上述のAチャンネルデータ用ランダム符号データの形成動作と同様に1クロック毎に演算シフト及び単純シフトを繰り返して、1クロックおきにM系列のBチャンネルデータ用ランダム符号データB_{1,8,1}、B_{1,8,2}、……を出力するようになされている。

【0054】かくして、スクランブル回路55は各シフ

トレジスタ $S R 0 \sim S R 7$ の後段のフリップフロップ $D_{02}, D_{12}, D_{22}, \dots, D_{72}$ に A チャンネルデータ用ランダム符号データを保持している際には前段のフリップフロップ $D_{01}, D_{11}, D_{21}, \dots, D_{71}$ に B チャンネルデータ用ランダム符号データを保持し、これとは逆に後段のフリップフロップ $D_{02}, D_{12}, D_{22}, \dots, D_{72}$ に B チャンネルデータ用ランダム符号データを保持している際には前段のシフトレジスタ $D_{01}, D_{11}, D_{21}, \dots, D_{71}$ に A チャンネルデータ用ランダム符号データを保持する。

【0055】従つてスクランブル回路 55 は A チャンネルデータ用ランダム符号データを演算シフトしている場合には B チャンネルデータ用ランダム符号データを単純シフトし、これに対して B チャンネルデータ用ランダム符号データを演算シフトしている場合には A チャンネルデータ用ランダム符号データを単純シフトする。この結果スクランブル回路 55 は、図 3 (F) に示すように、A チャンネルデータ用ランダム符号データ $A_{1N1}, A_{P1}, A_{P2}, \dots$ と B チャンネルデータ用ランダム符号データ $B_{1N1}, B_{P1}, B_{P2}, \dots$ が時間多重されたランダム符号データ $S 3 5$ を発生することができるようになっている。

【0056】かくして、時分割多重されてなる入力データ $S 3 3$ と時間多重されたランダム符号データ $S 3 5$ が排他的論理和ゲート 63 によつて加算されると、図 3 (G) に示すように、時分割多重されたスクランブルデータ $S 3 4$ を得ることができる。

【0057】以上の構成において、記録系 50 はチャンネル分配器 12 によつて 2 チャンネルに分配されたデータ $S 3 A$ 及び $S 3 B$ をシヤフリング処理、DCT 変換処理、量子化処理及び可変長符号化処理後、パラレルシリアル変換回路 51 によつて 1 チャンネルのシリアルデータ $S 3 0$ に時分割多重する。時分割多重されてなるシリアルデータ $S 3 0$ は外符号及び内符号が付加されると共に、記録ヘッドによる記録時間差 τ に応じた位相差が設けられた後、スクランブル回路 55 に入力される。

【0058】スクランブル回路 55 は、時分割多重された A チャンネルデータ $A_{00}, A_{01}, A_{02}, \dots$ 及び B チャンネルデータ $B_{00}, B_{01}, B_{02}, \dots$ のそれぞれに A チャンネルデータ用ランダム符号データ $A_{1N1}, A_{P1}, A_{P2}, \dots$ 及び B チャンネル用ランダム符号データ $B_{1N1}, B_{P1}, B_{P2}, \dots$ を加算してスクランブルデータ $S 3 4$ を形成する。

【0059】スクランブルデータ $S 3 4$ は続くシリアルパラレル変換回路 56 によつて、図 3 (H) 及び (I) に示すように、それぞれ記録時間差 τ に応じた位相差がある A チャンネルデータ $A_{R0}, A_{R1}, A_{R2}, \dots$ 及び B チャンネルデータ $B_{R0}, B_{R1}, B_{R2}, \dots$ の 2 チャンネルに分けられ、これらのデータは続く変調器 21A 及び 21B を介して各記録ヘッド 2 ~ 5 に供給される。

【0060】以上の構成によれば、パラレルシリアル変換回路 51 によつて 2 チャンネルのデータ $S 7 A$ 及び $S 7 B$ を時分割多重したことにより、外符号形成回路 52、シヤフリング回路 53、内符号形成回路 54 及びスクランブル回路 55 を従来の半分の回路数により構成することができ、回路規模の小さい DVTR の記録系 50 を実現することができる。

【0061】またそれぞれ 2 段のフリップフロップが直列接続された第 1 ~ 第 8 のシフトレジスタ $S R 0 \sim S R 7$ を設けたことにより、2 チャンネルのデータが時分割多重されてなるデータ $S 3 3$ に対して、1 つの回路によつてスクランブル処理を施すことができるスクランブル回路 55 を実現することができる。

【0062】(2) 第 2 実施例

図 4 において、65 は全体として DVTR の記録系 50 に用いられるスクランブル回路の第 2 実施例を示すもので、予め M 系列のランダム符号データが計算されて記憶された ROM 66 の後段に、それぞれ 8 個のフリップフロップが並列接続されてなる第 1 及び第 2 のシフトレジスタ 67 及び 68 が接続されている。

【0063】第 1 のシフトレジスタは 8 個の D フリップフロップ $D_0, D_1, D_2, \dots, D_7$ が並列接続された並列入力並列出力形のシフトレジスタであり、1 クロック毎に ROM 66 から出力される 8 ビット分のデータを取り込むと共に、取り込んだデータを続く第 2 のシフトレジスタ 68 に出力するようになされている。

【0064】これと同様に、第 2 のシフトレジスタ 68 は 8 個の D フリップフロップ $D_0 \sim D_7$ が並列接続された並列入力並列出力形のシフトレジスタであり、1 クロック毎に第 1 のシフトレジスタ 67 から出力される 8 ビット分のデータを取り込むと共に、この取り込んだデータを排他的論理和ゲート 63 及び ROM 66 に出力するようになされている。

【0065】この結果スクランブル回路 65 においては 1 クロック毎に 8 ビット単位のランダム符号データ $S 3 5$ を発生し得るようになされている。これによりスクランブル回路 65 においては、上述したスクランブル回路 55 に比して 1 クロック毎に多くの処理ができることにより、一段と処理速度を低減し得るようになされている。また第 1 のシフトレジスタ 67 は各フリップフロップ $D_0 \sim D_7$ にリセット信号 S_{1N1} を入力すると共に、第 2 のシフトレジスタ 68 は各フリップフロップ $S_0 \sim S_7$ にリセット信号 S_{1N1} を入力し、これにより第 1 及び第 2 のシフトレジスタ 67 及び 68 はそれぞれリセット信号 S_{1N1} 及び S_{1N1} に基づいてリセット動作するようになされている。

【0066】以上の構成において、スクランブル回路 65 はパラレルシリアル変換回路 51 において時分割多重されると共に、シヤフリング回路 53 において位相差が設けられた 1 チャンネルの入力データ $S 3 3$ (図 3

(C) を、1クロック毎に8ビットずつ入力する。ここでスクランブル回路65はそれぞれ8ビット構成のAチャンネルデータ A_{00} 、 A_{01} 、 A_{02} 、……の先頭のデータ A_0 が入力されると、この時点 t_1 において論理値が「1」から「0」に立ち下がるリセット信号 $S_{1,N1A}$ を第2のシフトレジスタ68に入力して、第2のシフトレジスタ68の全てのフリップフロップ $D_0 \sim D_7$ を初期設定する。

【0067】これと同様にスクランブル回路65はそれぞれ8ビット構成のBチャンネルデータ B_{00} 、 B_{01} 、 B_{02} 、……の先頭のデータ B_0 が入力されると、この時点 t_1 において論理値が「1」から「0」に立ち下がるリセット信号 $S_{1,N1B}$ を第1のシフトレジスタ67に入力して、第1のシフトレジスタ67の全てのフリップフロップ $D_0 \sim D_7$ を初期設定する。

【0068】スクランブル回路65は第1のシフトレジスタ67にAチャンネル用ランダム符号データ $A_{1,N1}$ 、 A_{P1} 、 A_{P2} 、……を保持している際には第2のシフトレジスタ68にBチャンネル用ランダム符号データ $B_{1,N1}$ 、 B_{P1} 、 B_{P2} 、……を保持し、これとは逆に第1のシフトレジスタ67にBチャンネル用ランダム符号データ $B_{1,N1}$ 、 B_{P1} 、 B_{P2} 、……を保持している際には第2のシフトレジスタ68にAチャンネル用ランダム符号データ $A_{1,N1}$ 、 A_{P1} 、 A_{P2} 、……を保持する。

【0069】ここでスクランブル回路65は、クロック毎に第1のシフトレジスタ67に保持した8ビットのデータを第2のシフトレジスタ68に出力する単純シフトと、第2のシフトレジスタ68に保持した8ビットのデータを排他的論理和ゲート63に出力すると共に当該出力データをROM66に供給することによりROM66により得られる演算結果データを第1のシフトレジスタ67に取り込む演算シフトとを順次繰り返す。

【0070】この結果スクランブル回路65はAチャンネル用ランダム符号データを演算シフトしている場合にはBチャンネル用ランダム符号データを単純シフトし、これに対してBチャンネル用ランダム符号データを演算シフトしている場合にはAチャンネル用ランダム符号データを単純シフトする。この結果スクランブル回路65は、図3(F)に示すように、8ビット単位のAチャンネルデータ用ランダム符号データ $A_{1,N1}$ 、 A_{P1} 、 A_{P2} 、……と8ビット単位のBチャンネルデータ用ランダム符号データ $B_{1,N1}$ 、 B_{P1} 、 B_{P2} 、……が時間多重されたランダム符号データS35を発生することができるようになされている。

【0071】この8ビット単位のランダム符号データS35は排他的論理和回路63において同じく8ビット単位の入力データS33に加算され、この結果スクランブル回路65は、図3(G)に示すように、時分割多重されかつ8ビット単位のスクランブルデータS34を生成する。

【0072】以上の構成によれば、予めM系列のランダム符号データが計算されて記憶されてなるROM66の後段に、それぞれ8個のフリップフロップ $D_0 \sim D_7$ 、 $D_8 \sim D_{15}$ が並列接続されてなる第1及び第2のシフトレジスタ67及び68を直列接続し、順次時分割多重されてなるAチャンネル用ランダム符号データ及びBチャンネル用ランダム符号データを発生するようにしたことにより、1つのROM66により複数チャンネル分のランダム符号データを発生し得、これにより回路規模の大きいROMを共通化できる分回路構成が簡易化されたスクランブル回路65を実現できる。

【0073】また1クロック毎に8ビット単位のランダム符号データを発生することができることにより、全体としての処理速度を低減し得るスクランブル回路65を実現できる。

【0074】(3) 他の実施例

なお上述の実施例においては、DCT変換回路14A及び14B、量子化回路15A及び15B及び可変長符号化回路16A及び16Bを設け、入力データを圧縮処理する場合について述べたが、本発明はこれに限らず、圧縮処理しない場合にはDCT変換回路14A及び14B、量子化回路15A及び15B及び可変長符号化回路16A及び16Bを省略しても良く、この場合においても上述の場合と同様の効果を得ることができる。

【0075】また上述の実施例においては、チャンネルコーディング回路としてスクランブル回路55及び65を用いた場合について述べたが、本発明はこれに限らず、チャンネルコーディング回路として例えばNRZI(non-return-to-zero-invert)変換回路、8-10変換回路又はミラー変換回路等を用いた場合にも適用することができる。

【0076】また上述の第1実施例においては、2チャンネルのデータを時分割多重してなる入力データに、2チャンネルのランダム符号データを時分割多重して加算する場合について述べたが、本発明はこれに限らず、時分割多重されてなる入力データのチャンネル数が例えば3チャンネルの場合には第1～第8のシフトレジスタSR0～SR7をそれぞれ3段のフリップフロップによって構成すれば、3チャンネルのランダム符号データを時分割多重して発生することができ、このように第1～第8のシフトレジスタSR0～SR7を構成するフリップフロップの段数を、時分割多重されてなる入力データのチャンネル数に合わせれば、入力データのチャンネル数に応じたチャンネル数のランダム符号データを得ることができる。

【0077】同様に上述の第2実施例においては、2チャンネルのデータを時分割多重してなる入力データに、2チャンネルのランダム符号データを時分割多重して加算する場合について述べたが、本発明はこれに限らず、時分割多重されてなる入力データのチャンネル数が例え

ば3チャンネルの場合にはROM 6 6の後段に第1又は第2のシフトレジスタ 6 7又は6 8を3段従続接続すれば、3チャンネルのランダム符号データを時分割多重して発生することができ、このようにROM 6 6の後段に接続するシフトレジスタ 6 7又は6 8の段数を、時分割多重されてなる入力データのチャンネル数に合わせれば、入力データのチャンネル数に応じたチャンネル数のランダム符号データを得ることができる。

【0078】さらに上述の実施例においては、DVTRの記録系50について述べたが、本発明はこれに限らず、記録ヘッドに複数チャンネルの記録データを供給して当該記録データを記録する種々のデータ記録装置に適用することができる。また本発明は記録系50に限らず、複数チャンネルで再生する再生系に適用した場合にも上述の場合と同様の効果を得ることができる。

【0079】

【発明の効果】上述のように本発明によれば、記録ヘッドの個数又は記録ヘッドの搭載位置に応じて複数のチャンネルにチャンネル分配されたデータを時分割多重し、当該時分割多重されてなるデータをコーディング回路によつてコーディング処理するようにしたことにより、コーディング回路の回路数を低減し得るデータ記録装置を実現できる。

【図面の簡単な説明】

【図1】本発明によるデジタルビデオテープレコーダの記録系を示すブロック図である。

【図2】第1実施例のスクランブル回路を示すブロック図である。

【図3】実施例の動作の説明に供する信号波形図である。

【図4】第2実施例のスクランブル回路を示すブロック図である。

【図5】記録ヘッドの説明に供する略線の平面図である。

【図6】記録トラックの説明に供する略線図である。

【図7】従来のデジタルビデオテープレコーダの記録系を示すブロック図である。

【図8】スクランブル回路の動作の説明に供するブロック図である。

【図9】従来のシリアル型スクランブル回路を示すブロック図である。

【図10】従来のパラレル型スクランブル回路を示すブロック図である。

【図11】従来のスクランブル回路の動作の説明に供する信号波形図である。

【符号の説明】

1……回転ドラム、2～5……記録ヘッド、6……磁気テープ、12……チャンネル分配器、51……パラレルシリアル変換回路、55、65……スクランブル回路、56……シリアルパラレル変換回路、25A、60～63……排他的論理和ゲート、SR0～SR7……シフトレジスタ、D₀～D₁₅、D₀₁、D₀₂、D₁₁、D₁₂、D₂₁、D₃₁、D₃₂、D₄₁、D₄₂、D₅₁、D₅₂、D₆₁、D₆₂、D₇₁、D₇₂……Dフリップフロップ、S_{1N1A}、S_{1N1B}……リセット信号、τ……記録時間差、S34……スクランブルデータ、S35……ランダム符号データ、

【図1】

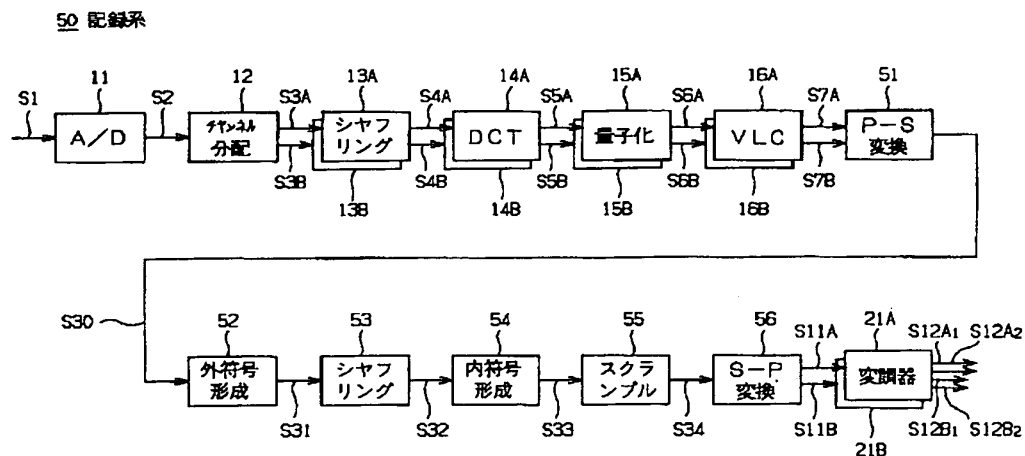


図1 デジタルビデオテープレコーダの構成

【図2】

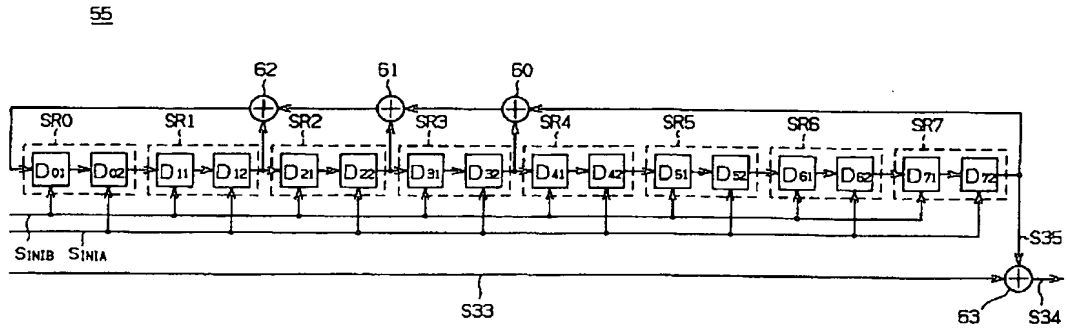


図2 第1実施例のスクランブル回路

【図3】

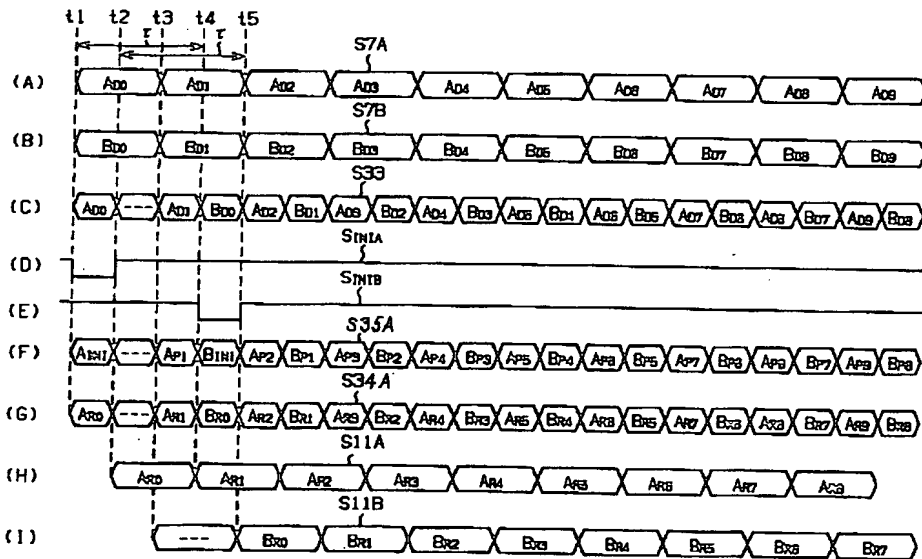


図3 タイミングチャート

【図4】

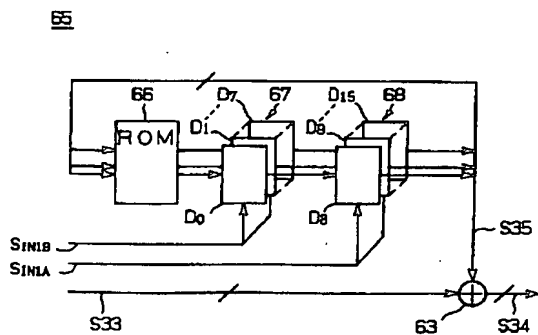


図4 第2実施例のスクランブル回路

【図5】

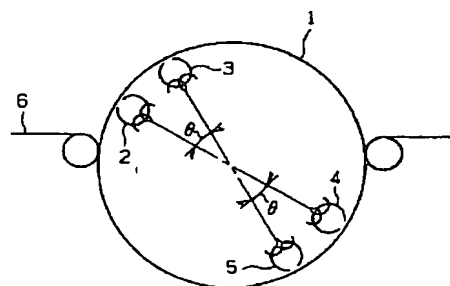


図5 記録ヘッド

【図6】

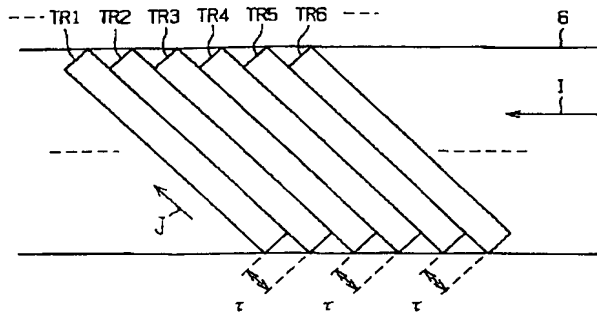


図6 記録トラック

【図9】

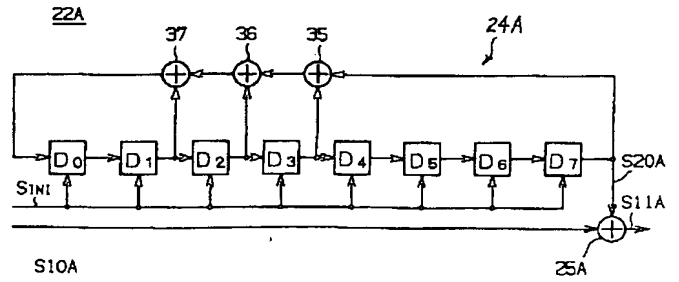


図9 従来のシリアル型スクランブル回路

【図7】

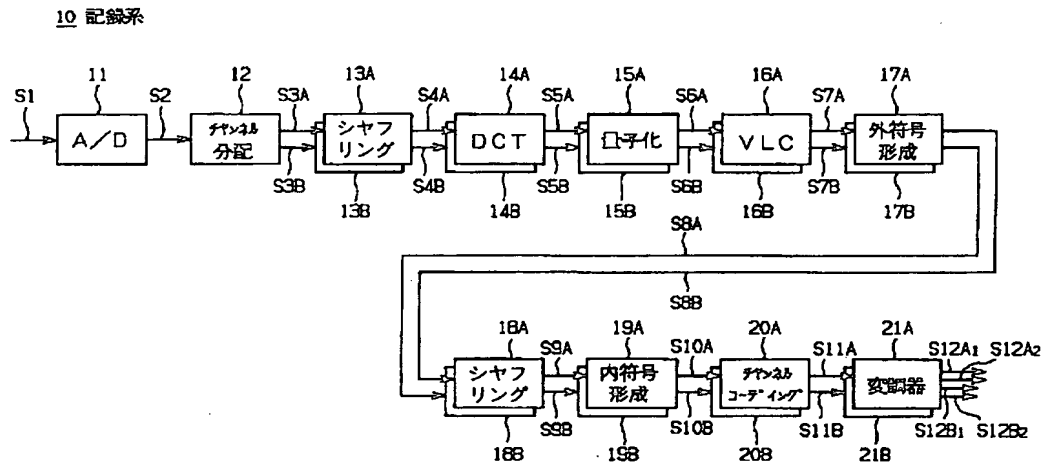


図7 従来のデジタルビデオテープレコーダ

【図8】

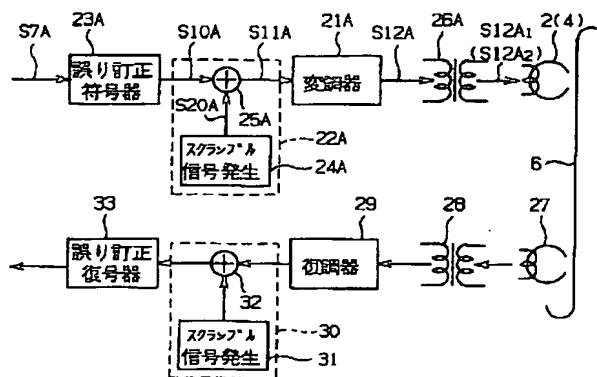


図8 データの記録及び再生

【図10】

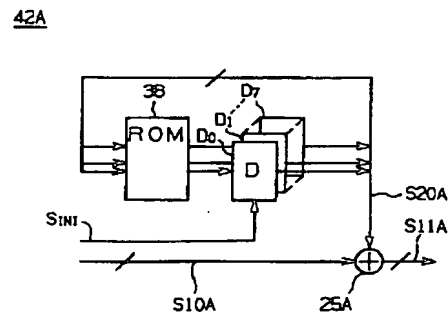


図10 従来のパラレル型スクランブル回路

【図11】

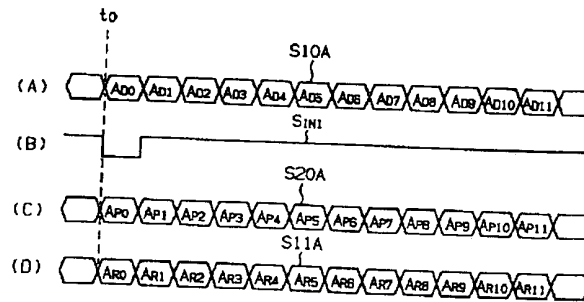


図11 従来のタイミングチャート

【手続補正書】

【提出日】平成6年7月8日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】

【従来の技術】従来、この種のデータ記録装置として、例えばデジタルビデオテープレコーダ(DVTR)がある。DVTRにおいては、高ビットレートの映像データを、図5に示すように、回転ドラム1上に搭載された複数の記録ヘッド2、3、4及び5によつて、当該回転ドラム1に巻回された記録テープ6上に記録し、これにより全体的な記録レートを確保した状態で1つの記録ヘッド当りの記録レートを下げることができるようになっている。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】ここで記録ヘッド2及び4、又は記録ヘッド3及び5はそれぞれ対向した位置に配置されている。これに対して隣接した記録ヘッド2及び3、又は記録ヘッド4及び5はそれぞれ中心角 θ 〔°〕分ずれた位置に配置されている。これによりDVTRにおいては、図6に示すように、矢印Iの方向に走行する記録テープ6の長手方向に対して順次斜め方向Jに記録ヘッド2～5が走査することにより記録トラックTR1、TR2、TR3、TR4、TR5、TR6、……を形成するようになっている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】すなわちDVTRの記録系10は、図7に示すように、入力するアナログビデオ信号S1をアナログデジタル(A/D)変換回路11、シャフリング回路13、DCT(Discrete Cosine Transform)回路14、量子化回路15、可変長符号化(VLC)回路16を介してチャンネル分配器12に送出する。チャンネル分配器12は可変長符号化回路16から出力される可変長符号化データS2をデータS7A及びS7Bに分配し、これにより1チャンネルでなる高レートの可変長符号化データS2から2チャンネルでなる低レートのチャンネル分配データS7A及びS7Bを生成するようになっている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】ここでシャフリング回路13は、A/D変換回路11から出力されるデジタルビデオ信号S3をシャフリング処理し、この結果得たシャフリングデータS4を続くDCT変換回路14に送出する。DCT変換回路14は各DCTブロックのデータに対して離散コサイン変換を施し、この結果得たDCTデータS5を続く量子化回路15に送出する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】量子化回路15は可変長符号化回路16か

らフイードバックされるデータ長情報に基づいて目標圧縮率を実現するための量子化レベルを調べ、当該量子化レベルに基づいてDCTデータS5を量子化することによつてその情報を圧縮し、これを量子化データS6として続く可変長符号化回路16に送出する。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】可変長符号化回路16は量子化データS6を可変長符号化することにより、フォーマットに定められたブロック長の可変長符号化データS2を生成し、これをチャンネル分配器12に送出する。チャンネル分配器12から出力されるチャンネル分配データS7A及びS7Bは、それぞれ外符号形成回路17A及び17Bに送出され、ここでバースト誤り訂正符号が付加される。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】このようにDVTRの記録系10においては、チャンネル分配器12によつて1チャンネルのデータを2チャンネルのデータ（以下、データS7A、S8A、S9A、S10A、S11A、S12A₁及びS12A₂をAチャンネルデータ、データS7B、S8B、S9B、S10B、S11B、S12B₁及びS12B₂をBチャンネルデータと呼ぶ）に分配して、各チャンネルデータを独立に処理するようになされている。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】ここでAチャンネルデータ及びBチャンネルデータはシャフリング回路18A及び18Bによつてシャフリング処理される際メモリからの読出し時間がずらされ、この結果各チャンネルデータ間には記録時間差 τ に応じた位相差が形成される。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】従つて記録系10では、外符号形成回路17A及び17B、シャフリング回路18A及び18B、内符号形成回路19A及び19B、チャンネルコーディング回路20A及び20B、変調器21A及び21Bがそれぞれ2個ずつ必要となり、全体としての回路規模が

大きくなる問題がある。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】

【課題を解決するための手段】かかる課題を解決するため本発明においては、回転ドラム1上に搭載された複数の記録ヘッド2～5によつてテープ状の記録媒体6の長手方向に対して順次斜め方向に記録データS12A₁、S12A₂、S12B₁、S12B₂を記録するデータ記録装置50において、記録ヘッド2～5の個数又は記録ヘッド2～5の搭載位置に応じて複数のチャンネルにチャンネル分配されたデータS7A、S7Bを時分割多重し、時分割多重されてなるデータS33をコーディング回路55によつてコーディング処理した後、複数の記録ヘッド2～5に供給して記録媒体6に記録するようにする。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正内容】

【0036】記録系50はチャンネル分配回路12から出力されるチャンネル分配データS7A及びS7Bをパラレルシリアル変換（P-S変換）回路51に送出する。パラレルシリアル変換回路51は2チャンネル分のチャンネル分配データS7A及びS7Bを時分割多重することにより1チャンネルのシリアルデータS30を生成する。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0074

【補正方法】変更

【補正内容】

【0074】（3）他の実施例

なお上述の実施例においては、DCT変換回路14、量子化回路15及び可変長符号化回路16を設け、入力データS1を圧縮処理する場合について述べたが、本発明はこれに限らず、圧縮処理しない場合にはDCT変換回路14、量子化回路15及び可変長符号化回路16を省略しても良く、この場合においても上述の実施例と同様の効果を得ることができる。

【手続補正13】

【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】

50 記録系

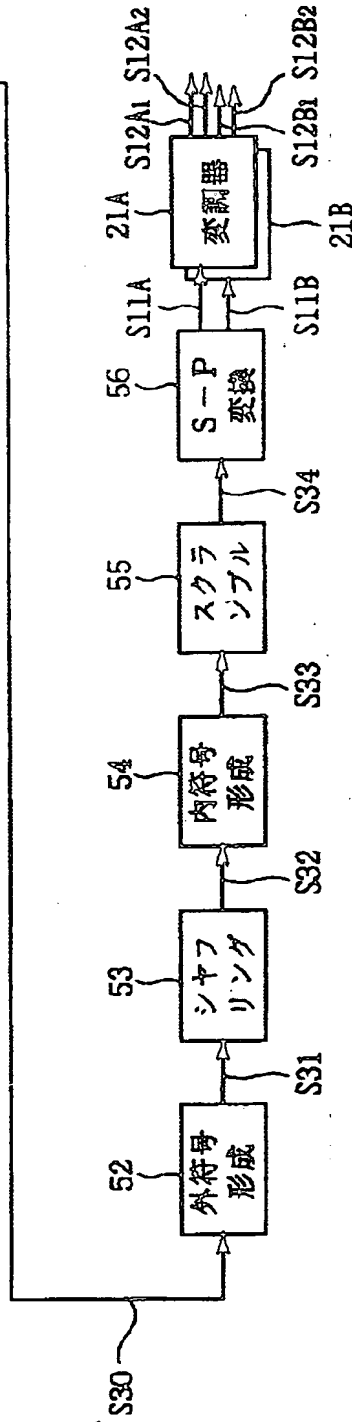
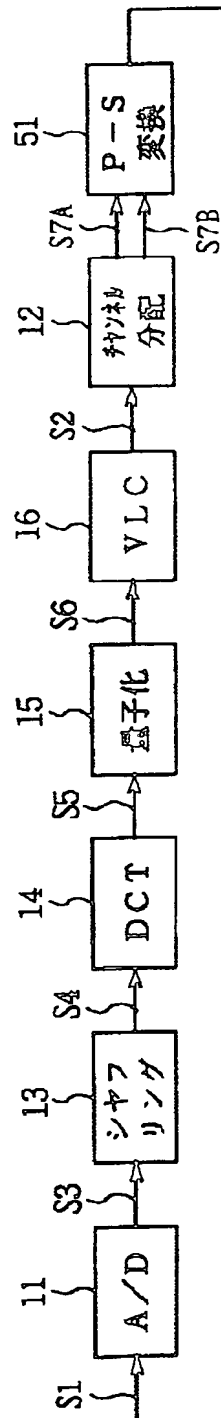


図 1 デジタルビデオレコーダの構成

【手続補正 1 4】
 【補正対象書類名】図面
 【補正対象項目名】図 7

【補正方法】変更
 【補正内容】
 【図 7】

10 記録系

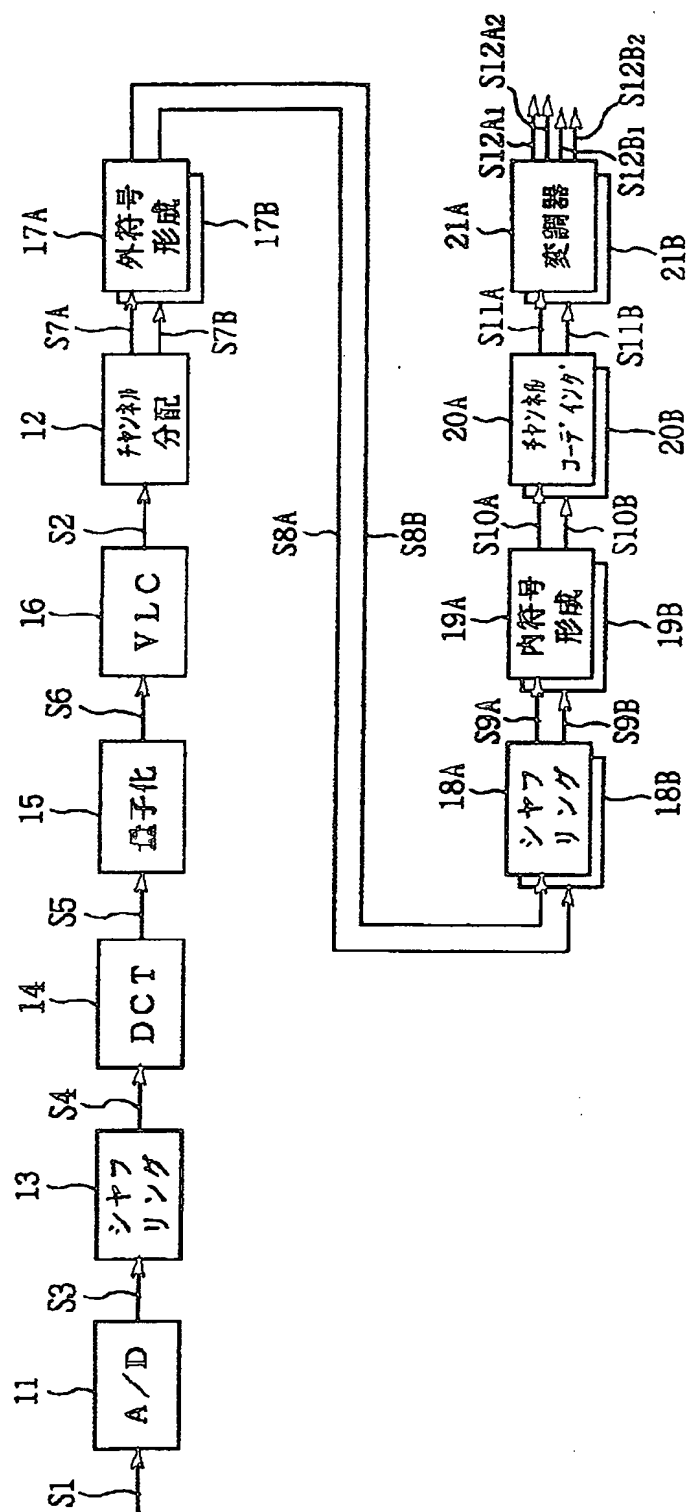


図7 従来のデジタルビデオプレーコーダ